



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0099598
Application Number

출원 년 월 일 : 2003년 12월 30일
Date of Application DEC 30, 2003

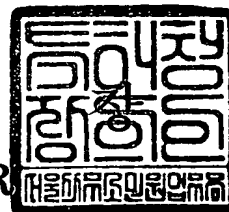
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2004 년 02 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2003. 12. 30
【발명의 명칭】	반도체 메모리 소자의 파워업 회로
【발명의 영문명칭】	POWER UP CIRCUIT IN SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	도창호
【성명의 영문표기】	DO, Chang Ho
【주민등록번호】	700103-1696421
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1번지 현대전자아파트 101-1406
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의 한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	15 면 15,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	21 항 781,000 원
【합계】	825,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 반도체 메모리 소자의 전원 회로에 관한 것이며, 더 자세히는 반도체 메모리 소자의 파워업 회로에 관한 것이다. 본 발명은 파워 드롭에 의한 파워업 신호의 비정상적인 리셋을 방지하면서 메모리 내부 로직의 안정적인 초기화에 필요한 마진을 확보할 수 있는 반도체 메모리 소자의 파워업 회로를 제공하는데 그 목적이 있다. 본 발명에서는 파워업 신호가 천이되는 전원전압(VDD)의 임계 레벨을 전원전압(VDD) 상승시와 하강시에 각각 다른 값으로 설정함으로써 전원전압(VDD) 상승시와 하강시의 파워업 신호의 천이 특성이 다르게 나타나도록 하였다. 전원전압(VDD) 상승시의 임계 레벨은 상대적으로 높게 설정하고 전원전압(VDD) 하강시의 임계 레벨은 상대적으로 낮게 설정하면, 메모리 내부 로직의 안정적인 초기화에 필요한 마진을 확보하면서 파워 드롭에 의한 파워업 신호의 비정상적인 리셋을 방지할 수 있다.

【대표도】

도 3

【색인어】

반도체 메모리, 파워업 회로, 전원전압 상승, 전원전압 하강, 파워 드롭

【명세서】

【발명의 명칭】

반도체 메모리 소자의 파워업 회로{POWER UP CIRCUIT IN SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 종래기술에 따른 파워업 회로를 나타낸 도면.

도 2는 상기 도 1에 도시된 파워업 회로의 타이밍 다이어그램.

도 3은 본 발명의 일 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸 도면.

도 4는 상기 도 3에 도시된 파워업 회로의 타이밍 다이어그램.

도 5는 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸 도면

* 도면의 주요 부분에 대한 부호의 설명

200 : 전원전압 레벨 팔로워부

210a : 제1 전원전압 감지부

210b : 제2 전원전압 감지부

220 : 트리거부

230 : 버퍼부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 반도체 메모리 소자의 전원 회로에 관한 것이며, 더 자세히는 반도체 메모리 소자의 파워업 회로에 관한 것이다.
- <13> 반도체 메모리 소자에는 다양한 형태의 로직들과 안정적인 소자 동작을 보증하기 위한 내부전원 발생 블럭이 존재한다. 이 로직들은 메모리 소자에 전원이 공급되어 본격적으로 동작하기 이전에 특정한 값으로 초기화되어 있어야 한다. 또한, 내부전원의 경우, 메모리 내부 로직의 전원 단자에 바이어스를 공급하게 되는데, 이들 내부전원이 전원전압(VDD) 인가시 적절한 전압 레벨을 갖지 못하면 래치-업(latch-up)과 같은 문제가 발생되어 소자의 신뢰성(reliability)을 보장하기 어렵다. 이처럼 메모리 내부 로직의 초기화와 내부전원의 불안정에 의한 래치-업을 방지하기 위하여 반도체 메모리 소자 내부에 파워업 회로를 구비하고 있다.
- <14> 파워업 회로는 반도체 메모리 소자의 초기화 동작시 외부로부터 전원전압(VDD)이 인가되는 순간 메모리 내부 로직들이 곧바로 전원전압(VDD)의 레벨에 응답하여 동작하지 않고 전원전압(VDD)의 레벨이 임계 레벨 이상으로 상승한 시점 이후에 동작하도록 한다.
- <15> 파워업 회로의 출력신호인 파워업 신호는 외부로부터 인가된 전원전압(VDD)의 레벨 상승을 감지하여 전원전압(VDD)이 임계 레벨보다 낮은 구간에서는 논리레벨 로우(low) 상태를 유지하다가 전원전압(VDD)이 임계 레벨 이상으로 안정화되면 논리레벨 하이(high)로 천이된다. 이와 반대로, 외부로부터 인가되는 전원전압(VDD)의 레벨이 낮아지는 경우, 파워업 신호는 전원

전압(VDD)이 임계 레벨보다 높은 구간에서는 그대로 논리레벨 하이 상태를 유지하다가 전원전압(VDD)이 임계 레벨 이하로 떨어지게 되면 다시 논리레벨 로우로 천이된다.

<16> 통상적으로, 전원전압(VDD)이 인가된 후 파워업 신호가 논리레벨 로우 상태일 때 메모리 내부 로직에 포함된 래치들이 예정된 값으로 초기화되며, 내부전원 발생 블록의 초기화 또한 이때 수행된다.

<17> 한편, 파워업 신호가 천이하는 전원전압(VDD)의 임계 레벨은 모든 로직들이 정상적인 스위칭 동작을 수행하기 위한 전압 레벨로서, 통상 MOS 트랜지스터의 문턱전압을 기준으로 일정 부분 더 마진을 가지도록 설계한다. 이 마진의 정도는 파워업 트리거 레벨을 문턱전압 정도로 설정하면 일반적인 디지털 로직의 경우에는 초기화에 문제가 없지만, 아날로그 회로로 구성된 내부전원 회로(예컨대, VPP 발생기와 같은 승압전원 발생 회로)의 경우에는 동작 효율이 떨어져 파워업 트리거 이후 래치-업을 유발할 수 있다. 이러한 이유로 파워업 트리거 레벨을 이들 아날로그 회로들이 안정적인 값을 생성할 수 있도록 MOS 트랜지스터의 문턱전압 보다 일정 정도 더 마진을 가지도록 하는 것이다.

<18> 도 1은 종래기술에 따른 파워업 회로를 나타낸 도면이다.

<19> 도 1을 참조하면, 종래기술에 따른 파워업 회로는, 전원전압(VDD)과 접지전압(VSS)를 이용하여 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압(V_a)을 제공하기 위한 전원전압 레벨 팔로워부(100)와, 바이어스 전압(V_a)에 응답하여 전원전압(VDD)의 임계 레벨로의 변화를 감지하기 위한 전원전압 감지부(110)와, 전원전압 감지부(110)로부터 출력된 감지신호를 버퍼링하여 파워업 신호(pwrup)를 출력하기 위한 버퍼부(120)를 구비한다.

- <20> 여기서, 전원전압 레벨 팔로워부(100)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 저항(R1 및 R2)을 구비한다.
- <21> 그리고, 전원전압 감지부(110)는 전원전압단(VDD)과 노드 N1 사이에 접속되며 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP0)와, 접지전압단(VSS)과 노드 N1 사이에 접속되며 바이어스 전압(Va)을 게이트 입력으로 하는 NMOS 트랜지스터(MN0)와, 노드 N1로부터 출력된 감지신호(det)를 입력으로 하는 인버터(INV0)를 구비한다. 여기서, 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP0)는 PMOS 트랜지스터(MP0)의 유효 저항값과 동일한 저항값을 가지는 다른 로드 소자로 대체할 수 있다.
- <22> 한편, 버퍼부(120)는 전원전압 감지부(110)로부터 출력된 감지신호의 반전신호(detb)를 입력으로 하는 인버터 체인 - 4개의 인버터(INV1, INV2, INV3, INV4)로 구현됨 - 을 구비한다.
- <23> 도 2는 상기 도 1에 도시된 파워업 회로의 타이밍 다이어그램이다.
- <24> 도 2를 참조하면, 전원전압 레벨 팔로워부(100)의 출력신호인 바이어스 전압(Va)은 하기의 수학적 식 1에 따라 변화하게 된다.
- <25> **【수학적 식 1】** $V_a = (R_2 / (R_1 + R_2)) \times V_{DD}$
- <26> 즉, 전원전압(VDD) 레벨이 증가함에 따라 바이어스 전압(Va)이 전원전압 감지부(110)의 NMOS 트랜지스터(MN0)의 문턱전압 이상으로 증가하게 되면 NMOS 트랜지스터(MN0)가 턴온되어 로드로 작용하는 PMOS 트랜지스터(MP0)와 NMOS 트랜지스터(MN0)에 흐르는 전류량의 변화에 따라 감지신호(det)의 레벨이 변화하게 된다.

- <27> 감지신호(det)는 초기에 NMOS 트랜지스터(MN0)가 턴오프되어 있기 때문에 전원전압(VDD)을 따라 증가한다. 한편, 바이어스 전압(Va)이 증가할수록 NMOS 트랜지스터(MN0)의 전류 구동력이 증가하면서 전원전압(VDD)의 특정 레벨에서 감지신호(det)가 로우로 천이하게 되는데, 이 과정에서 감지신호(det)의 레벨이 인버터(INV0)의 로직 문턱값을 넘어서게 되면 비로소 인버터(INV0)의 출력신호(detb)가 천이하면서 전원전압(VDD) 레벨을 따라 증가하게 된다. 인버터(INV0)의 출력신호(detb)는 버퍼부(120)에서 버퍼링되어 파워업 신호(pwrup)를 논리레벨 로우에서 하이로 천이하게 만든다.
- <28> 한편, 파워 오프시에도 전원전압(VDD)이 설정된 임계 레벨 이하로 떨어지면 전원전압 감지부(110)에서 이를 감지하여 파워업 신호(pwrup)를 논리레벨 로우로 만든다.
- <29> 그런데, 파워가 인가되어 전원전압(VDD)이 안정화된 후 반도체 메모리 소자가 어떤 동작을 수행하는 경우, 파워 노이즈 혹은 소자의 일시적 동작에 의한 전류소모와 저항에 의한 파워 소모에 의해 순간적인 파워 드롭(power drop)이 유발되며, 파워업 회로가 이러한 순간적인 전원전압(VDD)의 전압 강하를 감지하여 파워업 신호(pwrup)가 논리레벨 로우로 리셋(reset)되는 현상이 발생할 수 있다. 이러한 현상은 반도체 메모리 소자의 동작전압이 저전압화되고 있는 추세에 비추어 볼 때, 그 발생 가능성이 매우 높다고 할 것이다.
- <30> 물론, 전원전압(VDD)의 전압 레벨이 다시 회복됨에 따라 파워업 신호(pwrup) 역시 논리레벨 하이로 복귀하지만, 이처럼 반도체 메모리 소자의 동작 중에 파워업 신호(pwrup)가 리셋되면 내부 로직들의 초기화가 진행되어 반도체 메모리 소자의 오동작을 유발하는 요인이 된다.
- <31> 따라서, 어느 정도의 파워 드롭이 유발되더라도 파워업 신호(pwrup)의 비정상적인 리셋이 일어나지 않도록 하는 전원전압(VDD)의 전압 레벨을 임계 레벨로 설정하는 것이 바람직할 것이다.

<32> 그러나, 이처럼 파워 드롭에 의한 파워업 신호(pwrup)의 비정상적인 리셋을 방지하기 위하여 파워업 신호(pwrup)가 천이되는 전원전압(VDD)의 임계 레벨을 낮추게 되면 그만큼 낮은 전원전압(VDD) 레벨에서 메모리 내부 로직의 초기화가 이루어지고, 이에 따라 안정적인 초기화가 이루어지지 않는 문제점이 있다. 이러한 문제점은 반도체 메모리 소자의 동작전압이 낮아질수록 더욱 큰 문제를 유발하게 된다.

<33> 그러므로, 전술한 종래의 파워업 회로를 사용하는 경우, 파워업 신호(pwrup)가 천이되는 전원전압(VDD)의 임계 레벨 조절을 통해 파워 드롭에 의한 파워업 신호(pwrup)의 비정상적인 리셋도 방지하고 메모리 내부 로직의 안정적인 초기화에 필요한 마진도 확보하는 것은 실질적으로 불가능하다고 할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 파워 드롭에 의한 파워업 신호의 비정상적인 리셋을 방지하면서 메모리 내부 로직의 안정적인 초기화에 필요한 마진을 확보할 수 있는 반도체 메모리 소자의 파워업 회로를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<35> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 전원전압의 레벨 변화에 따라 선형적으로 변화하는 제1 및 제2 바이어스 전압을 제공하기 위한 전원전압 레벨 팔로워부; 상기 제1 바이어스 전압에 응답하여 상기 전원전압의 하강시의 파워업 신호의 천이 레

벨에 대응하는 제1 임계 레벨로의 변화를 감지하기 위한 제1 전원전압 감지부; 상기 제2 바이어스 전압에 응답하여 상기 전원전압의 상승시의 파워업 신호의 천이 레벨에 대응하는 제2 임계 레벨 - 제1 임계 레벨 보다 상대적으로 높은 전압 레벨을 가짐 - 로의 변화를 감지하기 위한 제2 전원전압 감지부; 및 상기 전원전압의 하강시에 상기 제1 전원전압 감지부로부터 출력된 제1 감지신호에 응답하여 그 출력신호를 천이시키고, 상기 전원전압의 상승시에 제2 전원전압 감지부로부터 출력된 제2 감지신호에 응답하여 그 출력신호를 천이시키기 위한 트리거부를 구비하는 반도체 메모리 소자의 파워업 회로가 제공된다.

<36> 바람직하게, 상기 트리거부의 출력신호를 버퍼링하여 상기 파워업 신호를 출력하기 위한 버퍼부를 더 구비한다.

<37> 바람직하게, 상기 전원전압 레벨 팔로워부는, 전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 내지 제3 로드 소자를 구비하며, 상기 제1 로드 소자와 상기 제2 로드 소자의 공통 노드로 상기 제1 바이어스 전압을 출력하고, 상기 제2 로드 소자와 제3 로드 소자의 공통 노드로 상기 제2 바이어스 전압을 출력한다.

<38> 바람직하게, 상기 제1 전원전압 감지부는, 전원전압단과 제1 노드 사이에 접속된 제1 로드 소자; 접지전압단과 상기 제1 노드 사이에 접속되며 상기 제1 바이어스 전압을 게이트 입력으로 하는 제1 NMOS 트랜지스터; 및 상기 제1 노드에 접속된 제1 인버터를 구비한다.

<39> 바람직하게, 상기 제1 로드 소자는 상기 전원전압단과 상기 제1 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현한다.

- <40> 바람직하게, 상기 제2 전원전압 감지부는, 상기 전원전압단과 제2 노드 사이에 접속된 제2 로드 소자; 상기 접지전압단과 제2 노드 사이에 접속되며 상기 제2 바이어스 전압을 게이트 입력으로 하는 제2 NMOS 트랜지스터; 및 상기 제2 노드에 접속된 제2 인버터를 구비한다.
- <41> 바람직하게, 상기 제2 로드 소자는 상기 전원전압단과 상기 제2 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현한다.
- <42> 바람직하게, 상기 트리거부는, 상기 제1 감지신호에 제어 받는 풀업 수단과, 상기 제2 감지신호에 제어 받는 풀다운 수단을 구비한다.
- <43> 바람직하게, 상기 트리거부는, 상기 전원전압단과 제3 노드 사이에 접속되며 상기 제1 감지신호를 게이트 입력으로 하는 PMOS 트랜지스터와, 상기 접지전압단과 상기 제3 노드 사이에 접속되며 상기 제2 감지신호를 게이트 입력으로 하는 제3 NMOS 트랜지스터를 구비한다.
- <44> 바람직하게, 상기 트리거부는, 상기 제3 노드에 접속된 래치 수단을 더 구비한다.
- <45> 또한, 본 발명의 다른 측면에 따르면, 전원전압의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압을 제공하기 위한 전원전압 레벨 팔로워부; 상기 바이어스 전압에 응답하여 상기 전원전압의 하강시의 파워업 신호의 천이 레벨에 대응하는 제1 임계 레벨로의 변화를 감지하기 위한 제1 전원전압 감지부; 상기 바이어스 전압에 응답하여 상기 전원전압의 상승시의 파워업 신호의 천이 레벨에 대응하는 제2 임계 레벨 - 제1 임계 레벨 보다 상대적으로 높은 전압 레벨을 가짐 - 로의 변화를 감지하기 위한 제2 전원전압 감지부; 및 상기 전원전압의 하강시에 상기 제1 전원전압 감지부로부터 출력된 제1 감지신호에 응답하여 그 출력신호를 천이시키고, 상기 전원전압의 상승시에 제2 전원전압 감지부로부터 출력된 제2 감지신호에 응답하여

그 출력신호를 천이시키기 위한 트리거부를 구비하는 반도체 메모리 소자의 파워업 회로가 제공된다.

- <46> 바람직하게, 상기 트리거부의 출력신호를 버퍼링하여 상기 파워업 신호를 출력하기 위한 버퍼부를 더 구비한다.
- <47> 바람직하게, 상기 전원전압 레벨 팔로워부는 전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 로드 소자를 포함한다.
- <48> 바람직하게, 상기 제1 전원전압 감지부는, 전원전압단과 제1 노드 사이에 접속된 제1 로드 소자; 접지전압단과 상기 제1 노드 사이에 접속되며 상기 바이어스 전압을 게이트 입력으로 하는 제1 NMOS 트랜지스터; 및 상기 제1 노드에 접속된 제1 인버터를 구비한다.
- <49> 바람직하게, 상기 제1 로드 소자는 상기 전원전압단과 상기 제1 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현한다.
- <50> 바람직하게, 상기 제2 전원전압 감지부는, 상기 전원전압단과 제2 노드 사이에 접속된 제2 로드 소자; 상기 접지전압단과 제2 노드 사이에 접속되며 상기 바이어스 전압을 게이트 입력으로 하는 제2 NMOS 트랜지스터; 및 상기 제2 노드에 접속된 제2 인버터를 구비하며, 상기 제2 NMOS 트랜지스터의 폭이 상기 제1 NMOS 트랜지스터의 폭에 비해 작게 설정한다.
- <51> 바람직하게, 상기 제2 전원전압 감지부는, 상기 전원전압단과 제2 노드 사이에 접속된 제2 로드 소자; 상기 접지전압단과 제2 노드 사이에 접속되며 상기 바이어스 전압을 게이트 입력으로 하는 제2 NMOS 트랜지스터; 및 상기 제2 노드에 접속된 제2 인버터를 구비하며, 상기 제2 로드 소자의 유효 저항값이 상기 제2 로드 소자의 유효 저항값에 비해 작게 설정한다.

- <52> 바람직하게, 상기 제2 로드 소자는 상기 전원전압단과 상기 제2 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현한다.
- <53> 바람직하게, 상기 트리거부는, 상기 제1 감지신호에 제어 받는 풀업 수단과, 상기 제2 감지신호에 제어 받는 풀다운 수단을 구비한다.
- <54> 바람직하게, 상기 트리거부는, 상기 전원전압단과 제3 노드 사이에 접속되며 상기 제1 감지신호를 게이트 입력으로 하는 PMOS 트랜지스터와, 상기 접지전압단과 상기 제3 노드 사이에 접속되며 상기 제2 감지신호를 게이트 입력으로 하는 제3 NMOS 트랜지스터를 구비한다.
- <55> 상기 트리거부는, 상기 제3 노드에 접속된 래치 수단을 더 구비한다.
- <56> 본 발명에서는 파워업 신호가 천이되는 전원전압(VDD)의 임계 레벨을 전원전압(VDD) 상승시와 하강시에 각각 다른 값으로 설정함으로써 전원전압(VDD) 상승시와 하강시의 파워업 신호의 천이 특성이 다르게 나타나도록 하였다. 전원전압(VDD) 상승시의 임계 레벨은 상대적으로 높게 설정하고 전원전압(VDD) 하강시의 임계 레벨은 상대적으로 낮게 설정하면, 메모리 내부 로직의 안정적인 초기화에 필요한 마진을 확보하면서 파워 드롭에 의한 파워업 신호의 비정상적인 리셋을 방지할 수 있다.
- <57> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.
- <58> 도 3은 본 발명의 일 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸 도면이다.

<59> 도 3을 참조하면, 본 실시예에 따른 반도체 메모리 소자의 파워업 회로는, 전원전압(VDD)과 접지전압(VSS)를 이용하여 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 제1 및 제2 바이어스 전압(V1 및 V2)을 제공하기 위한 전원전압 레벨 팔로워부(200)와, 제1 바이어스 전압(V1)에 응답하여 전원전압(VDD)의 하강시의 파워업 신호의 천이 레벨에 대응하는 제1 임계 레벨로의 변화를 감지하기 위한 제1 전원전압 감지부(210a)와, 제2 바이어스 전압(V2)에 응답하여 전원전압(VDD)의 상승시의 파워업 신호의 천이 레벨에 대응하는 제2 임계 레벨 - 제1 임계 레벨 보다 상대적으로 높은 전압 레벨을 가짐 - 로의 변화를 감지하기 위한 제2 전원전압 감지부(210b)와, 전원전압(VDD)의 하강시에 제1 전원전압 감지부(210a)로부터 출력된 제1 감지신호에 응답하여 그 출력신호를 천이시키고, 전원전압(VDD)의 상승시에 제2 전원전압 감지부(210b)로부터 출력된 제2 감지신호에 응답하여 그 출력신호를 천이시키기 위한 트리거부(220)와, 트리거부(220)의 출력신호를 버퍼링하여 파워업 신호(pwrup)를 출력하기 위한 버퍼부(230)를 구비한다.

<60> 본 실시예에 따른 파워업 회로의 구성을 보다 상세하게 살펴보면, 우선 전원전압 레벨 팔로워부(200)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 제공되어 전압 디바이더를 구성하는 제1 내지 제3 저항(R1, R2, R3)을 구비한다. 여기서, 제1 내지 제3 저항(R1, R2, R3) 각각은 도면과 같이 수동 소자로 구현할 수 있을 뿐만 아니라, MOS 트랜지스터와 같은 능동 소자로 구현할 수 있다.

<61> 그리고, 제1 전원전압 감지부(210a)는 전원전압단(VDD)과 노드 N2 사이에 접속되며 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP1)와, 접지전압단(VSS)과 노드 N2 사이에 접속되며 제1 바이어스 전압(V1)을 게이트 입력으로 하는 NMOS 트랜지스터(MN1)와, 노드 N2

로부터 출력된 제1 감지신호(det1)를 입력으로 하는 인버터(INV5)를 구비한다. 여기서, PMOS 트랜지스터(MP1)는 저항과 같은 다른 로드 소자로 대체할 수 있다.

<62> 또한, 제2 전원전압 감지부(210b)는 전원전압단(VDD)과 노드 N3 사이에 접속되며 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP2)와, 접지전압단(VSS)과 노드 N3 사이에 접속되며 제2 바이어스 전압(V2)을 게이트 입력으로 하는 NMOS 트랜지스터(MN2)와, 노드 N3로부터 출력된 제2 감지신호(det2)를 입력으로 하는 인버터(INV6)를 구비한다. 여기서, PMOS 트랜지스터(MP2)는 저항과 같은 다른 로드 소자로 대체할 수 있다.

<63> 한편, 트리거부(220)는 전원전압단(VDD)과 노드 N4 사이에 접속되며 제1 전원전압 감지부(210a)의 출력신호(det1b)를 게이트 입력으로 하는 PMOS 트랜지스터(MP3)와, 접지전압단(VDD)과 노드 N4 사이에 접속되며 제2 전원전압 감지부(210b)의 출력신호(det2b)를 게이트 입력으로 하는 NMOS 트랜지스터(MN3)와, 노드 N4에 접속되며 2개의 인버터(INV7, INV8)로 구성된 인버터 래치를 구비한다.

<64> 또한, 버퍼부(230)는 트리거부(220)의 출력신호를 입력으로 하는 인버터 체인 - 2개의 인버터(INV9, INV10)로 구현됨 - 을 구비한다.

<65> 도 4는 상기 도 3에 도시된 파워업 회로의 타이밍 다이어그램으로서, 이하 이를 참조하여 본 실시예에 따른 파워업 회로의 동작을 살펴본다.

<66> 먼저, 전원전압 레벨 팔로워부(200)로부터 출력되는 제1 및 제2 바이어스 전압(V1 및 V2)는 하기의 수학적 식 2 및 3과 같이 변화하게 된다.

<67> 【수학적 식 2】 $V1 = ((R2+R3)/(R1+R2+R3)) \times VDD$

<68> 【수학식 3】 $V_2 = (R_3 / (R_1 + R_2 + R_3)) \times V_{DD}$

<69> 즉, 제1 전원전압 감지부(210a)에서는 전원전압(VDD)이 인가되어 그 레벨이 증가함에 따라 제1 바이어스 전압(V1)이 NMOS 트랜지스터(MN1)의 문턱전압 이상으로 증가하게 되면 NMOS 트랜지스터(MN1)가 턴온되어 PMOS 트랜지스터(MP1)와 NMOS 트랜지스터(MN1)에 흐르는 전류량의 변화에 따라 제1 감지신호(det1)의 레벨이 변화하게 된다. 제1 감지신호(det1)는 초기에 NMOS 트랜지스터(MN1)가 턴오프되어 있기 때문에 전원전압(VDD)을 따라 증가하게 된다. 한편, 제1 바이어스 전압(V1)이 NMOS 트랜지스터(MN1)의 문턱전압 이상이 되면 제1 감지신호(det1)가 로우로 천이하게 되는데, 이 과정에서 제1 감지신호(det1)의 레벨이 인버터(INV5)의 로직 문턱값을 넘어서게 되면 비로소 인버터(INV5)의 출력신호(det1b)가 논리레벨 하이로 천이하면서 전원전압(VDD) 레벨을 따라 증가하게 된다.

<70> 한편, 제2 전원전압 감지부(210b)도 전술한 제1 전원전압 감지부(210a)와 같은 원리로 동작한다. 즉, 제2 바이어스 전압(V2)이 NMOS 트랜지스터(MN2)의 문턱전압을 넘어서면 제2 감지신호(det2)가 하이로 천이하게 되는데, 이 과정에서 제1 감지신호(det2)의 레벨이 인버터(INV6)의 로직 문턱값을 넘어서게 되면 비로소 인버터(INV6)의 출력신호(det2b)가 논리레벨 하이로 천이하면서 전원전압(VDD) 레벨을 따라 증가하게 된다.

<71> 한편, 제1 바이어스 전압(V1)이 제2 바이어스 전압(V2)에 비해 항상 높은 전위를 유지하기 때문에 전원전압(VDD)의 상승시에는 제1 전원전압 감지부(210a)의 NMOS 트랜지스터(MN1)가 제2 전원전압 감지부(210b)의 NMOS 트랜지스터(MN2)에 비해 먼저 턴온되며, 이에 따라 제2 감

지신호(det2)가 제1 감지신호(det1)에 비해 높은 전원전압(VDD) 레벨에서 천이된다. 반대로, 전원전압(VDD)의 하강시에는 제1 전원전압 감지부(210a)의 NMOS 트랜지스터(MN1)가 제2 전원전압 감지부(210b)의 NMOS 트랜지스터(MN2)에 비해 나중에 턴오프되며, 이에 따라 제1 감지신호(det1)가 제2 감지신호(det2)에 비해 낮은 전원전압(VDD) 레벨에서 천이된다.

<72> 이하, 제1 감지신호(det1)가 천이하는 전원전압(VDD) 레벨을 제1 임계 레벨이라 하고, 제2 감지신호(det2)가 천이하는 전원전압(VDD) 레벨을 제2 임계 레벨이라 하기로 한다. 전원전압(VDD)의 제1 임계 레벨은 제2 임계 레벨에 비해 낮은 값을 가진다.

<73> 파워 인가시 제1 전원전압 감지부(210a)의 출력신호(det1b)와 제2 전원전압 감지부(210b)의 출력신호(det2b)가 모두 논리레벨 로우 값을 가지므로 트리거부(220)의 PMOS 트랜지스터(MP3)의 풀업 동작에 의해 노드 N4는 전원전압(VDD)을 따라 상승하게 된다.

<74> 전원전압(VDD)이 계속 상승하여 제1 임계 레벨에 이르면, 제1 전원전압 감지부(210a)의 출력신호(det1b)가 먼저 논리레벨 하이로 천이하게 된다. 이때, 전원전압(VDD)이 제1 임계 레벨 이상이고 제2 임계 레벨 보다 낮은 전압 레벨을 가지는 영역에서는 제2 전원전압 감지부(210b)의 출력신호(det2b)가 논리레벨 로우 상태이므로, 인버터 래치에 의해 노드 N4는 논리레벨 하이 상태를 유지한다. 한편, 전원전압(VDD)이 계속 상승하여 제2 임계 레벨에 이르면 제2 전원전압 감지부(210b)의 출력신호(det2b)가 논리레벨 하이로 천이하게 되며, 이에 따라 트리거부(220)의 NMOS 트랜지스터(MN3)가 턴온되어 노드 N4를 논리레벨 로우로 만들게 된다. 인버터 래치의 출력신호는 버퍼부(230)에서 버퍼링되어 파워업 신호(pwrup)가 비로소 논리레벨 로우에서 하이로 천이하게 된다.

<75> 한편, 전원전압(VDD) 하강시에는 트리거부(220)의 노드 N4는 논리레벨 로우 상태를 유지하다가 전원전압(VDD)이 계속 하강하여 제2 임계 레벨에 이르면 제2 전원전압 감지부(210b)의

출력신호(det2b)가 먼저 논리레벨 로우로 천이하게 된다. 이때, 전원전압(VDD)이 제2 임계 레벨 이하이고 제1 임계 레벨 보다 높은 전압 레벨을 가지는 영역에서는 제1 전원전압 감지부(210a)의 출력신호(det1b)가 논리레벨 하이 상태이므로, 인버터 래치에 의해 노드 N4는 논리레벨 하이 상태를 유지한다. 한편, 전원전압(VDD)이 계속 하강하여 제1 임계 레벨에 이르면 제1 전원전압 감지부(210a)의 출력신호(det1b)가 논리레벨 로우로 천이하게 되며, 이에 따라 트리거부(220)의 PMOS 트랜지스터(MP3)가 턴온되어 노드 N4를 논리레벨 하이로 만들게 된다. 인버터 래치의 출력신호는 버퍼부(230)에서 버퍼링되어 파워업 신호(pwrup)가 비로소 논리레벨 하이에서 로우로 천이하게 된다.

<76> 전술한 바와 같이 본 실시예에 따른 파워업 회로는 전원전압(VDD)의 상승시에는 상대적으로 높은 임계 레벨에서 파워업 신호(pwrup)의 천이가 일어나도록 하고, 전원전압(VDD)의 하강시에는 상대적으로 낮은 임계 레벨에서 파워업 신호(pwrup)의 천이가 일어나도록 한다.

<77> 그런데, 이와 같은 전원전압(VDD)의 하강시의 동작은 파워 오프시 뿐만 아니라, 반도체 메모리 소자의 동작 중에 파워 드롭이 발생한 경우에도 적용된다. 따라서, 파워 드롭이 발생하여 전원전압(VDD)의 레벨이 일정 정도 하강하는 경우에는 상대적으로 낮은 임계 레벨을 기준으로 파워업 신호(pwrup)의 천이가 일어나기 때문에 파워업 신호(pwrup)의 비정상적인 리셋을 방지할 수 있다. 그리고, 전술한 바와 같이 파워 인가시 상대적으로 높은 전원전압(VDD) 레벨에서 파워업 신호(pwrup)의 천이가 일어나기 때문에 메모리 내부 로직의 안정적인 초기화에 필요한 마진을 확보할 수 있다.

<78> 도 5는 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸 도면이다.

- <79> 도 5를 참조하면, 본 실시예에 따른 반도체 메모리 소자의 파워업 회로는, 전원전압(VDD)과 접지전압(VSS)를 이용하여 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압(V_a)을 제공하기 위한 전원전압 레벨 팔로워부(300)와, 바이어스 전압(V_a)에 응답하여 전원전압(VDD)의 제1 임계 레벨로의 변화를 감지하기 위한 제1 전원전압 감지부(310a)와, 바이어스 전압(V_a)에 응답하여 전원전압(VDD)의 제2 임계 레벨 - 제1 임계 레벨 보다 상대적으로 높은 전압 레벨을 가짐 - 로의 변화를 감지하기 위한 제2 전원전압 감지부(310b)와, 전원전압(VDD)의 하강시에 제1 전원전압 감지부(310a)로부터 출력된 제1 감지신호에 응답하여 그 출력신호를 천이시키고, 전원전압(VDD)의 상승시에 제2 전원전압 감지부(310b)로부터 출력된 제2 감지신호에 응답하여 그 출력신호를 천이시키기 위한 트리거부(320)와, 트리거부(320)의 출력신호를 버퍼링하여 파워업 신호(pwrup)를 출력하기 위한 버퍼부(330)를 구비한다.
- <80> 즉, 본 실시예에 따른 파워업 회로는 전술한 일 실시예의 파워업 회로와 달리 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압을 하나만 사용한다.
- <81> 따라서, 전원전압 레벨 팔로워부(300)와 제1 전원전압 감지부(310a), 제2 전원전압 감지부(310b)를 제외한 트리거부(320), 버퍼부(330) 등의 구성은 전술한 일 실시예와 동일하며, 이에 상기 도 3과 동일한 엘리먼트에 대해서는 도면부호를 병기하지 않았다.
- <82> 한편, 전원전압 레벨 팔로워부(300)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 저항(R_1 및 R_2)를 구비한다.
- <83> 그리고, 제1 전원전압 감지부(310a)는 전원전압단(VDD)과 노드 N5 사이에 접속되며 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP4)와, 접지전압단(VSS)과 노드 N5 사이에 접속되며 바이어스 전압(V_a)을 게이트 입력으로 하는 NMOS 트랜지스터(MN4)와, 노드 N5로부터

터 출력된 제1 감지신호(det1)를 입력으로 하는 인버터(INV11)를 구비한다. 여기서, PMOS 트랜지스터(MP4)는 저항과 같은 다른 로드 소자로 대체할 수 있다.

<84> 또한, 제2 전원전압 감지부(310b)는 전원전압단(VDD)과 노드 N6 사이에 접속되며 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP5)와, 접지전압단(VSS)과 노드 N6 사이에 접속되며 바이어스 전압(Va)을 게이트 입력으로 하는 NMOS 트랜지스터(MP1)와, 노드 N6으로부터 출력된 제2 감지신호(det2)를 입력으로 하는 인버터(INV12)를 구비한다. 여기서, PMOS 트랜지스터(MP5)는 저항과 같은 다른 로드 소자로 대체할 수 있다.

<85> 전술한 바와 같이 본 실시예에 따른 파워업 회로는 제1 전원전압 감지부(310a)과 제2 전원전압 감지부(310b)가 동일한 바이어스 전압(Va)을 인가받는다.

<86> 이 경우, 제1 전원전압 감지부(310a)과 제2 전원전압 감지부(310b)에서 서로 다른 전원전압(VDD) 레벨을 감지하기 위해서는 NMOS 트랜지스터(MN4, MN5)의 사이즈를 다르게 설정하거나, PMOS 트랜지스터(MP4, MP5)로 대변되는 로드 소자의 유효 저항값을 다르게 설정하면 된다.

<87> 즉, 제2 전원전압 감지부(310b)의 NMOS 트랜지스터(MN5)의 폭(width)을 제1 전원전압 감지부(310a)의 NMOS 트랜지스터(MN4)의 폭에 비해 작게 설정하면 풀다운 구동력이 떨어져 제2 감지신호(det2)가 천이하는 전원전압(VDD) 레벨(제2 임계 레벨)이 제1 감지신호(det1)가 천이하는 전원전압(VDD) 레벨(제1 임계 레벨)에 비해 상대적으로 높아진다. 또한, 제2 전원전압 감지부(310b)의 로드 PMOS 트랜지스터(MP5)의 유효 저항값이 제1 전원전압 감지부(310a)의 로드 PMOS 트랜지스터(MP4)의 유효 저항값에 비해 작게 설정하는 경우에도 같은 결과를 얻을 수 있다.

<88> 본 실시예에 따른 파워업 회로의 동작 및 작용효과는 전술한 일 실시예의 동작(도 4 참조)과 동일하므로 동작 설명은 생략하기로 한다.

<89> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<90> 예컨대, 전술한 실시예에서는 버퍼부를 배치하는 경우를 일례로 들어 설명하였으나, 경우에 따라 별도의 버퍼부를 배치하지 않을 수도 있다.

【발명의 효과】

<91> 전술한 본 발명은 메모리 내부 로직의 안정적인 초기화에 필요한 마진을 확보하면서 파워 드롭에 의한 파워업 신호의 비정상적인 리셋을 방지할 수 있으며, 이에 따라 반도체 메모리 소자의 오동작을 방지하여 신뢰도를 개선하는 효과가 있다. 한편, 이러한 효과는 특히, 최근 이슈화되고 있는 낮은 동작전압을 사용하는 반도체 메모리 소자에 적용시 가장 부각될 수 있을 것이다.

【특허청구범위】**【청구항 1】**

전원전압의 레벨 변화에 따라 선형적으로 변화하는 제1 및 제2 바이어스 전압을 제공하기 위한 전원전압 레벨 팔로워부;

상기 제1 바이어스 전압에 응답하여 상기 전원전압의 하강시의 파워업 신호의 천이 레벨에 대응하는 제1 임계 레벨로의 변화를 감지하기 위한 제1 전원전압 감지부;

상기 제2 바이어스 전압에 응답하여 상기 전원전압의 상승시의 파워업 신호의 천이 레벨에 대응하는 제2 임계 레벨 - 제1 임계 레벨 보다 상대적으로 높은 전압 레벨을 가짐 - 로의 변화를 감지하기 위한 제2 전원전압 감지부; 및

상기 전원전압의 하강시에 상기 제1 전원전압 감지부로부터 출력된 제1 감지신호에 응답하여 그 출력신호를 천이시키고, 상기 전원전압의 상승시에 제2 전원전압 감지부로부터 출력된 제2 감지신호에 응답하여 그 출력신호를 천이시키기 위한 트리거부

를 구비하는 반도체 메모리 소자의 파워업 회로.

【청구항 2】

제1항에 있어서,

상기 트리거부의 출력신호를 버퍼링하여 상기 파워업 신호를 출력하기 위한버퍼부를 더 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 3】

제1항에 있어서,

상기 전원전압 레벨 팔로워부는,

전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 내지 제3 로드 소자를 구비하며, 상기 제1 로드 소자와 상기 제2 로드 소자의 공통 노드로 상기 제1 바이어스 전압을 출력하고, 상기 제2 로드 소자와 제3 로드 소자의 공통 노드로 상기 제2 바이어스 전압을 출력하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 4】

제1항에 있어서,

상기 제1 전원전압 감지부는,

전원전압단과 제1 노드 사이에 접속된 제1 로드 소자;

접지전압단과 상기 제1 노드 사이에 접속되며 상기 제1 바이어스 전압을 게이트 입력으로 하는 제1 NMOS 트랜지스터; 및

상기 제1 노드에 접속된 제1 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 5】

제4항에 있어서,

상기 제1 로드 소자는 상기 전원전압단과 상기 제1 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현하는 것을 특징으로 하는 반도체 메모리 소자

의 파워업 회로.

【청구항 6】

제4항에 있어서,

상기 제2 전원전압 감지부는,

상기 전원전압단과 제2 노드 사이에 접속된 제2 로드 소자;

상기 접지전압단과 제2 노드 사이에 접속되며 상기 제2 바이어스 전압을 게이트 입력으로 하는 제2 NMOS 트랜지스터; 및

상기 제2 노드에 접속된 제2 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 7】

제6항에 있어서,

상기 제2 로드 소자는 상기 전원전압단과 상기 제2 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 8】

제1항에 있어서,

상기 트리거부는,

상기 제1 감지신호에 제어 받는 풀업 수단과,

상기 제2 감지신호에 제어 받는 풀다운 수단을 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 9】

제6항에 있어서,

상기 트리거부는,

상기 전원전압단과 제3 노드 사이에 접속되며 상기 제1 감지신호를 게이트 입력으로 하는 PMOS 트랜지스터와,

상기 접지전압단과 상기 제3 노드 사이에 접속되며 상기 제2 감지신호를 게이트 입력으로 하는 제3 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 10】

제9항에 있어서,

상기 트리거부는,

상기 제3 노드에 접속된 래치 수단을 더 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 11】

전원전압의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압을 제공하기 위한 전원 전압 레벨 팔로워부;

상기 바이어스 전압에 응답하여 상기 전원전압의 하강시의 파워업 신호의 천이 레벨에 대응하는 제1 임계 레벨로의 변화를 감지하기 위한 제1 전원전압 감지부;

상기 바이어스 전압에 응답하여 상기 전원전압의 상승시의 파워업 신호의 천이 레벨에 대응하는 제2 임계 레벨 - 제1 임계 레벨 보다 상대적으로 높은 전압 레벨을 가짐 - 로의 변화를 감지하기 위한 제2 전원전압 감지부; 및

상기 전원전압의 하강시에 상기 제1 전원전압 감지부로부터 출력된 제1 감지신호에 응답하여 그 출력신호를 천이시키고, 상기 전원전압의 상승시에 제2 전원전압 감지부로부터 출력된 제2 감지신호에 응답하여 그 출력신호를 천이시키기 위한 트리거부

를 구비하는 반도체 메모리 소자의 파워업 회로.

【청구항 12】

제11항에 있어서,

상기 트리거부의 출력신호를 버퍼링하여 상기 파워업 신호를 출력하기 위한 버퍼부를 더 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 13】

제11항에 있어서,

상기 전원전압 레벨 팔로워부는 전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 로드 소자를 포함하는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 14】

제11항에 있어서,

상기 제1 전원전압 감지부는,

전원전압단과 제1 노드 사이에 접속된 제1 로드 소자;

접지전압단과 상기 제1 노드 사이에 접속되며 상기 바이어스 전압을 게이트 입력으로 하는 제1 NMOS 트랜지스터; 및

상기 제1 노드에 접속된 제1 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 15】

제14항에 있어서,

상기 제1 로드 소자는 상기 전원전압단과 상기 제1 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 16】

제14항에 있어서,

상기 제2 전원전압 감지부는,

상기 전원전압단과 제2 노드 사이에 접속된 제2 로드 소자;

상기 접지전압단과 제2 노드 사이에 접속되며 상기 바이어스 전압을 게이트 입력으로 하는 제2 NMOS 트랜지스터; 및

상기 제2 노드에 접속된 제2 인버터를 구비하며,

상기 제2 NMOS 트랜지스터의 폭이 상기 제1 NMOS 트랜지스터의 폭에 비해 작은 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 17】

제14항에 있어서,

상기 제2 전원전압 감지부는,

상기 전원전압단과 제2 노드 사이에 접속된 제2 로드 소자;

상기 접지전압단과 제2 노드 사이에 접속되며 상기 바이어스 전압을 게이트 입력으로 하는 제2 NMOS 트랜지스터; 및

상기 제2 노드에 접속된 제2 인버터를 구비하며,

상기 제2 로드 소자의 유효 저항값이 상기 제2 로드 소자의 유효 저항값에 비해 작은 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 18】

제16항 또는 제17항에 있어서,

상기 제2 로드 소자는 상기 전원전압단과 상기 제2 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 19】

제11항에 있어서,

상기 트리거부는,

상기 제1 감지신호에 제어 받는 풀업 수단과,

상기 제2 감지신호에 제어 받는 풀다운 수단을 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 20】

제16항 또는 제17항에 있어서,

상기 트리거부는,

상기 전원전압단과 제3 노드 사이에 접속되며 상기 제1 감지신호를 게이트 입력으로 하는 PMOS 트랜지스터와,

상기 접지전압단과 상기 제3 노드 사이에 접속되며 상기 제2 감지신호를 게이트 입력으로 하는 제3 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 21】

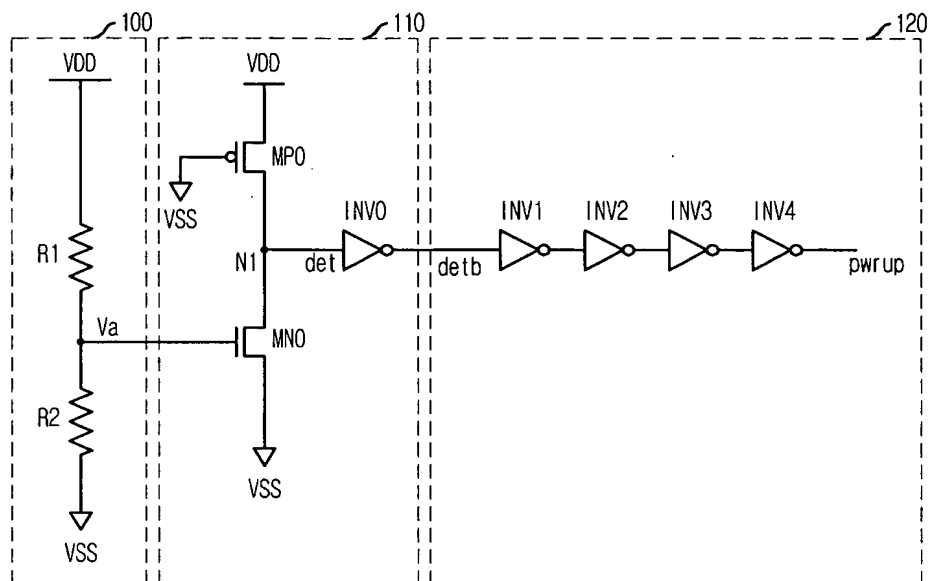
제20항에 있어서,

상기 트리거부는,

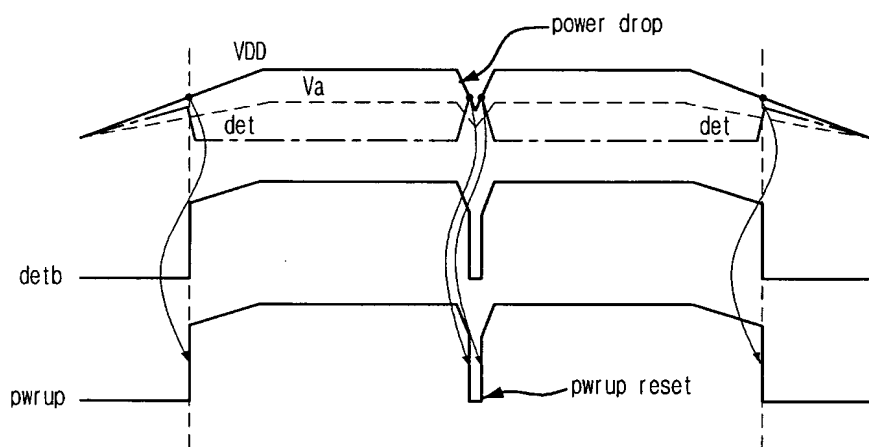
상기 제3 노드에 접속된 래치 수단을 더 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【도면】

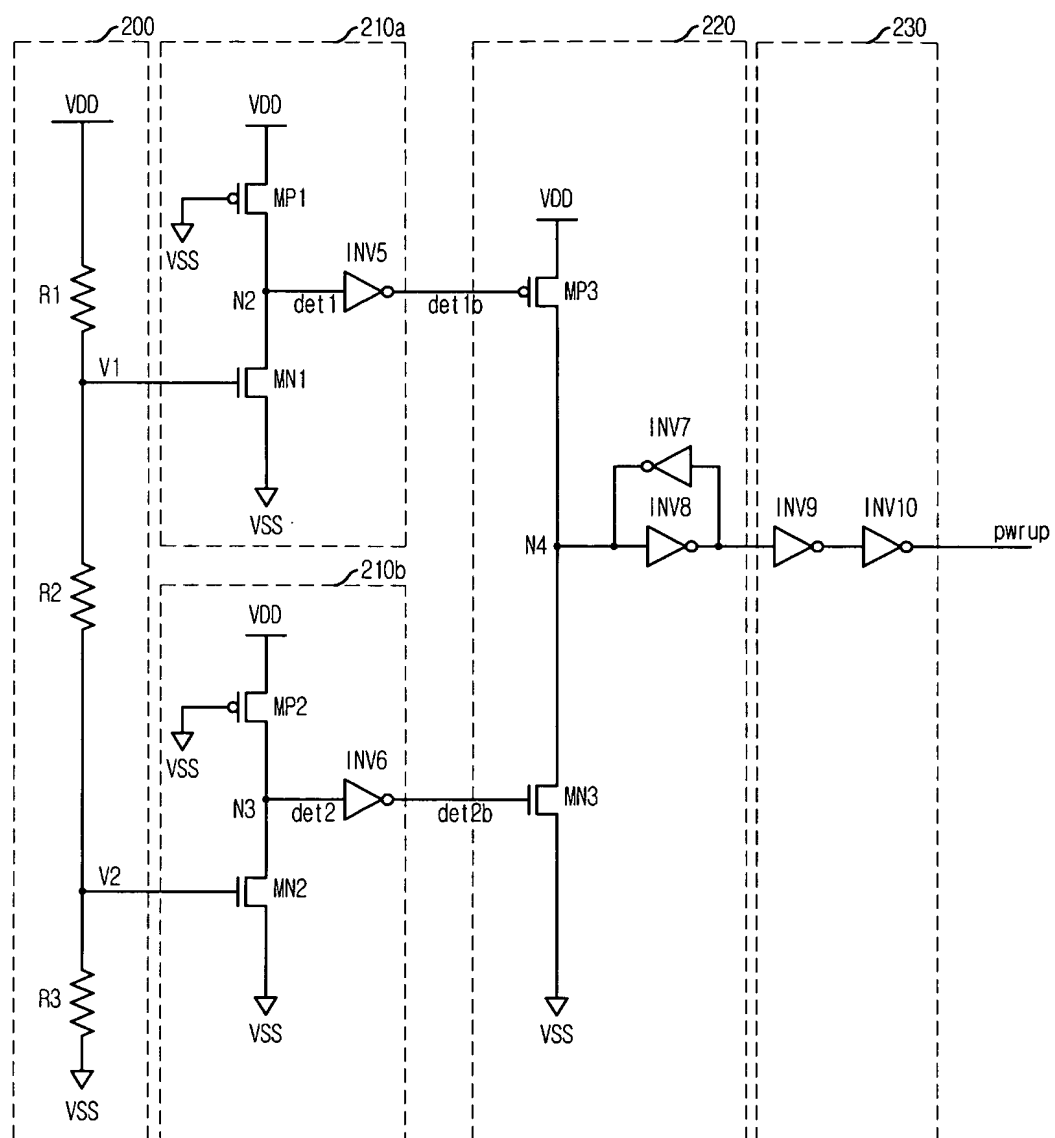
【도 1】



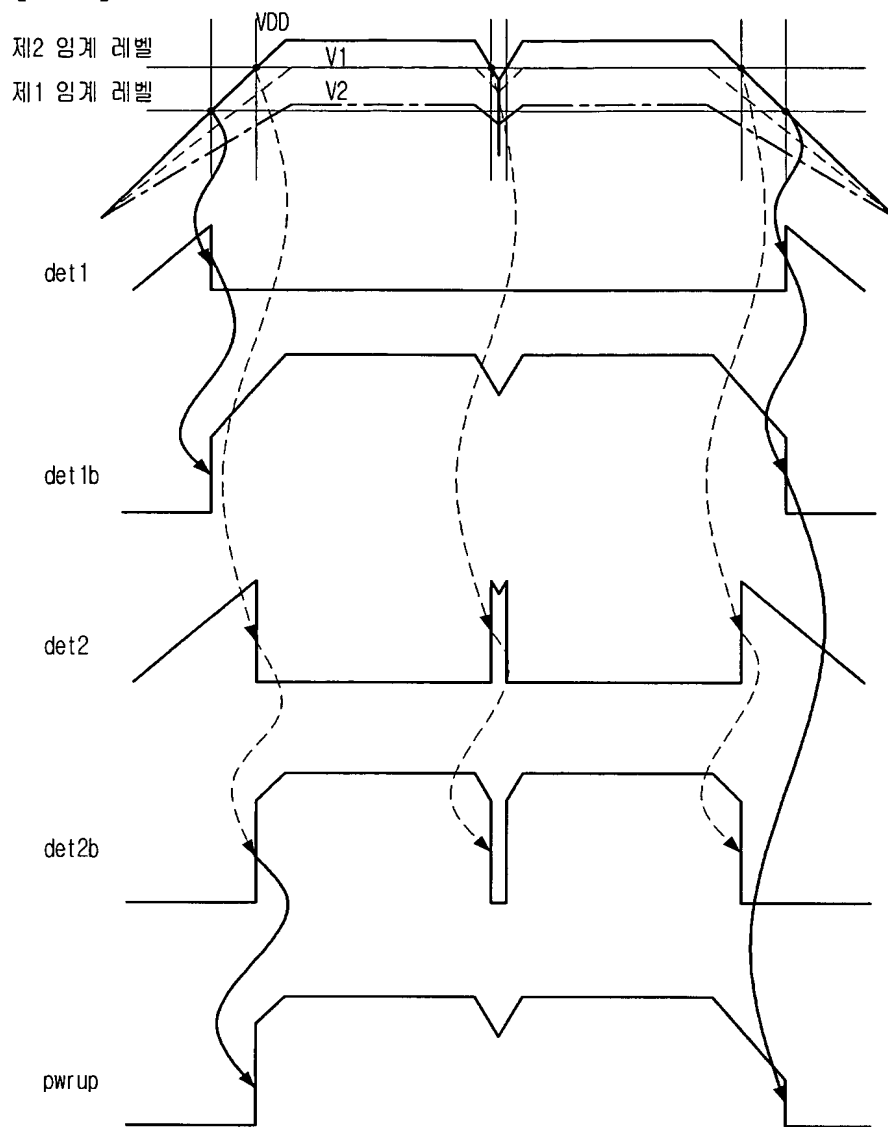
【도 2】



【도 3】



【도 4】



【도 5】

